

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masafumi TAKAHASHI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: LOGIC CIRCUITRY HAVING SELF-TEST FUNCTION

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-084586

MONTH/DAY/YEAR

March 26, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

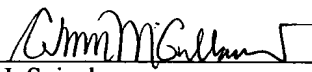
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月26日

出 願 番 号
Application Number:

特願2003-084586

[ST.10/C]:

[JP2003-084586]

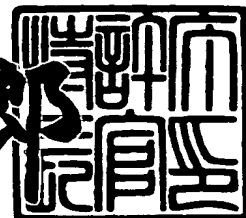
出 願 人
Applicant(s):

株式会社東芝
東芝マイクロエレクトロニクス株式会社

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028152

【書類名】 特許願

【整理番号】 14072801

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/00
G06F 11/28

【発明の名称】 テスト機能を有する論理回路

【請求項の数】 8

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

 【氏名】 大 森 賢 二

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

 【氏名】 高 橋 真 史

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

 【氏名又は名称】 株式会社 東 芝

【特許出願人】

 【識別番号】 000221199

 【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1

 【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 テスト機能を有する論理回路

【特許請求の範囲】

【請求項 1】

スキャンクロック信号が各段のクロック入力端子に供給されると共に前段のスキャン出力端子からの信号が次段のスキャン入力端子に供給されて順次に論理演算するように接続された複数段のスキャン F / F 回路と、

前記複数段のスキャン F / F 回路の最終段のスキャン F / F 回路のスキャン出力端子からの信号を帰還させる帰還信号線と、

外部から供給される外部スキャン入力信号と、前記最終段のスキャン F / F 回路から帰還される前記信号との何れかを選択して初段のスキャン F / F 回路のスキャン入力端子に供給するデータ選択回路と、

前記データ選択回路に対して、前記最終段のスキャン F / F 回路のスキャン出力端子からの信号を前記初段のスキャン F / F 回路のスキャン入力端子に供給させるための制御信号を供給して、内部スキャンモードにおける前記複数段のスキャン F / F 回路内の各段のスキャン F / F 回路の動作状態を制御するスキャン制御回路と、

前記データ選択回路に帰還される前記最終段のスキャン出力端子からの信号を外部へと取り出す外部スキャン出力端子と、

を備えることを特徴とするテスト機能を有する論理回路。

【請求項 2】

前記スキャン制御回路は、予めプログラムに組み込まれたプロセッサ命令に基づいて、前記データ選択回路に対して前記制御信号を供給することを特徴とする請求項 1 に記載のテスト機能を有する論理回路。

【請求項 3】

前記プログラムに組み込まれたプロセッサ命令は、縮小命令セットコンピュータ命令である請求項 2 に記載のテスト機能を有する論理回路。

【請求項 4】

前記複数段のスキャン F / F 回路の各段のクロック入力端子に供給されるスキ

ヤンクロック信号を外部から供給された外部スキャンクロック信号と、前記スキャン制御回路より供給された内部スキャンクロック信号と、の何れかを選択して供給するクロック選択回路と、

前記クロック選択回路により選択されて各段のスキャンF/F回路のそれぞれのクロック入力端子へと供給されるスキャンクロック信号を外部へと取り出す外部クロック出力端子と、

をさらに備えることを特徴とする請求項1に記載されたテスト機能を有する論理回路。

【請求項5】

前記複数段のスキャンF/F回路を外部から動作させるディスエーブル信号を前記スキャン制御回路に入力して外部スキャンF/Fモードを設定するためのディスエーブル信号入力端子と、

前記スキャン制御回路により設定された外部スキャンF/Fモードで前記複数段のスキャンF/F回路内部での動作が循環していることを知らせるイネーブル信号を外部に取り出すためのイネーブル出力端子と、

をさらに備え、

前記スキャン制御回路は、前記イネーブル信号を前記イネーブル出力端子より外部へ出力すると共に、前記複数段のスキャンF/F回路の内部で動作が循環している間に該イネーブル信号に基づく内部ストール信号を前記複数段のスキャンF/F回路に供給してこれらの回路のクロックを全て停止させることを特徴とする請求項4に記載されたテスト機能を有する論理回路。

【請求項6】

前記外部スキャンクロック出力端子、前記クロック出力端子、前記イネーブル出力端子に接続され、前記内部スキャンクロック信号が前記外部クロック出力端子を介して外部に出力されたときのクロックの速度が速すぎる場合に前記外部スキャン出力端子から出力されるシリアルデータをパラレルデータに変換するシリアル/パラレル変換回路をさらに備えることを特徴とする請求項5に記載されたテスト機能を有する論理回路。

【請求項7】

前記スキャン制御回路は、前記スキャンクロック信号、前記プロセッサ命令、前記ディスエーブル信号に加えて、前記複数段のスキャンF/F回路の内部での循環動作が一巡した後にプログラムを1サイクル進めてさらに循環させるローテイト信号と、前記ローテイト信号が入力されているときにプログラムを1サイクル進めた後内部状態を出力させてから停止するステップ信号と、を入力することを特徴とする請求項5または請求項6の何れかに記載されたテスト機能を有する論理回路。

【請求項8】

少なくとも、前記複数段のスキャンF/F回路と、前記データ選択回路と、前記クロック選択回路と、前記スキャン制御回路と、を含む1つのグループ論理回路を複数グループ備えることを特徴とする請求項2ないし7の何れかに記載のテスト機能を有する論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、テスト機能を有する論理回路に係り、特にフリップフロップ等の高速論理演算を行なう論理回路における故障検出のためのテストスキャンやプログラムデバッグなどのテスト機能を実現する際にテスト時の回路内部の状態を確認することを可能にしたテスト機能を有する論理回路に関する。

【0002】

【従来の技術】

一般に、プロセッサ装置等の論理回路においては、この回路の内部がどのような状態になっているのかを知るためには、故障診断のために内部回路の動作状態をチェックするテストスキャンや、プログラムの不具合であるバグを見つけるデバッグ専用回路を論理回路などの専用テスト回路を論理回路内部に設ける必要がある。これらの専用テスト回路を論理回路に内蔵させなければ、論理回路の内部状態を確認することはできなかった。

【0003】

また、専用テスト回路を論理回路に内蔵させるとしても、あまりに規模の大き

な回路は論理回路全体の回路面積を増大させてしまい、また、回路からテスト結果を外部に出力させる場合には、信号の周波数を低下させたりしなければならなかった。そのため論理回路に専用テスト回路を内蔵させることは、回路面積の上からも出力信号の周波数の上からも限界があり、専用テスト回路により高性能のデバッグ処理を行なうことができなかった。

【0004】

そこで、従来より、論理回路におけるスキャンをテストする場合には、図6に示すようなスキャンF/F（フリップフロップ）回路を挿入動作させてテストスキャンを行なうようにした論理回路が提案されている。このスキャンF/F回路は、例えばフリップフロップ回路などを含む論理回路を大規模集積回路（以下、LSI—Large Scale Integrated-circuit—とする）として製品化した場合、製品の出荷前に、LSIの故障検出を行なうときに用いられている。

【0005】

図6において、従来のスキャンテスト回路20は、複数のスキャンF/F回路21、22、23を備えており、各スキャンF/F回路21～23は、クロック共通入力端子24を介して供給されたスキャンクロック信号C1を受け入れるクロック入力端子SCKをそれぞれ備え、初段のスキャンF/F回路21は外部スキャン入力端子25を介して供給されたスキャン入力信号S1を受け入れるスキャン入力端子SINと、各段におけるスキャンクロック信号とスキャン入力信号とに基づく所定の論理演算の後にスキャン出力信号を次段のスキャンF/F回路22へと出力するスキャン出力端子SOUTを備えている。

【0006】

次段のスキャンF/F回路22は、初段のスキャンF/F回路21のスキャン出力端子SOUTからの信号を入力するスキャン入力端子SINと、スキャンクロック信号と前段からの信号とに基づく所定の論理演算の後にスキャン信号を最終段のスキャンF/F回路23へと出力するスキャン出力端子SOUTを備えている。最終段のスキャンF/F回路23は、前段のスキャンF/F回路22のスキャン出力端子SOUTからの信号前段からの信号を入力するスキャン入力端子SINと、スキャンクロック信号と前段からの信号とに基づく所定の論理演算の

後にスキャン信号をスキャンテスト回路20の外部スキャン出力端子26へと出力するスキャン出力端子SOUTを備えている。

【0007】

各スキャンF/F回路21～23は以上のように構成されているので、初段のスキャンF/F回路21のスキャン入力端子SINに供給されたスキャン入力信号は、次段のスキャンF/F回路22のスキャン出力端子SOUTから最終段のスキャンF/F回路23のスキャン入力端子SINへ供給され、最終段のスキャンF/F回路23のスキャン出力端子SOUTから外部スキャン出力端子26へと出力される。このように、従来のスキャンテスト回路20は、スキャンクロック信号を用いて外部から論理回路の内部を動作させて、外部スキャン出力端子26より実際に出力されたテスト信号が期待値と一致もしくは近似しているかを判定することにより、内部F/F回路の故障を検出するものである。

【0008】

なお、図6の従来例においては、スキャンテスト回路20を3段のF/F回路21～23により構成するものとして説明しているが、3段はあくまでも一例であり、複数段のF/F回路によりスキャンテストを行なうことができることはいうまでもない。また、スキャンF/F回路をグループ分けして各グループが複数段のスキャンF/F回路をそれぞれ有する複数のグループにより構成しても、同様のスキャンテストを行なうことができる。

【0009】

【発明が解決しようとする課題】

上述した従来の論理回路においては、論理回路のデバッグ処理を行ないたいときには、予め専用のテスト回路を組み込む必要があったが、回路面積を節約するために大規模な専用テスト回路を設けることには限界があり、また、高速で演算処理する論理回路の処理結果を外部に出力させるためには、信号周波数を変更しなくてはならないといった動作上の制約もあった。このため、専用のデバッグ回路を搭載することには、製造上の制限という問題があった。

【0010】

また、論理回路のスキャンテストを行なう場合には、スキャンF/F回路を含

む論理回路 L S I 製品を出荷する前に回路内部の故障を検出するために挿入して動作させている。このスキャンテスト回路は、あくまでも外部スキャン入力端子 2 5 より入力したテスト用のスキャン信号をスキャン F / F 回路 2 1 ~ 2 3 に入力してスキャンさせて出力されたスキャン信号の値と期待値とを比較して L S I の故障を検出するものである。プログラムの不具合であるバグを見つけ出すデバッグ処理を行なう場合には用いることができないという問題があった。

【 0 0 1 1 】

本発明は、上記問題を解決するために為されたものであり、簡単な回路構成を付加するだけで、論理回路におけるスキャン F / F 機能を用いてデバッグ検出のためのテスト機能をも備えさせるようにして、簡単な回路構成により論理回路の内部状態を正確に検出することができるテスト機能を有する論理回路を提供することを目的としている。

【 0 0 1 2 】

【課題を解決するための手段】

上記課題を解決するため、本発明の基本構成に係るテスト機能を有する論理回路は、スキャンクロック信号が各段のクロック入力端子に供給されると共に前段のスキャン出力端子からの信号が次段のスキャン入力端子に供給されて順次に論理演算するように接続された複数段のスキャン F / F 回路と、前記複数段のスキャン F / F 回路の最終段のスキャン F / F 回路のスキャン出力端子からの信号を帰還させる帰還信号線と、外部から供給される外部スキャン入力信号と、前記最終段のスキャン F / F 回路から帰還される前記信号との何れかを選択して初段のスキャン F / F 回路のスキャン入力端子に供給するデータ選択回路と、前記データ選択回路に対して、前記最終段のスキャン F / F 回路のスキャン出力端子からの信号を前記初段のスキャン F / F 回路のスキャン入力端子に供給させるための制御信号を供給して、内部スキャンモードにおける前記複数段のスキャン F / F 回路内の各段のスキャン F / F 回路の動作状態を制御するスキャン制御回路と、前記データ選択回路に帰還される前記最終段のスキャン出力端子からの信号を外部へと取り出す外部スキャン出力端子と、を備えることを特徴としている。

【 0 0 1 3 】

上記基本構成において、第1構成に係るテスト機能を有する論理回路は、スキャン制御回路が、予めプログラムに組み込まれたプロセッサ命令に基づいて、前記データ選択回路に対して前記制御信号を供給するようにしても良い。

【0014】

このプログラムに組み込まれたプロセッサ命令は、縮小命令セットコンピュータ(RISC)命令であってもよい。

【0015】

上記基本構成において、第2構成に係るテスト機能を有する論理回路は、複数段のスキャンF/F回路の各段のクロック入力端子に供給されるスキャンクロック信号を外部から供給された外部スキャンクロック信号と、前記スキャン制御回路より供給された内部スキャンクロック信号と、の何れかを選択して供給するクロック選択回路と、前記クロック選択回路により選択されて各段のスキャンF/F回路のそれぞれのクロック入力端子へと供給されるスキャンクロック信号を外部へと取り出す外部クロック出力端子と、をさらに備えることを特徴とする。

【0016】

上記第2構成において、前記複数段のスキャンF/F回路を外部から動作させるディスエーブル信号を前記スキャン制御回路に入力して外部スキャンF/Fモードを設定するためのディスエーブル信号入力端子と、前記スキャン制御回路により設定された外部スキャンF/Fモードで前記複数段のスキャンF/F回路内部での動作が循環していることを知らせるイネーブル信号を外部に取り出すためのイネーブル出力端子と、をさらに備え、前記スキャン制御回路は、前記イネーブル信号を前記イネーブル出力端子より外部へ出力すると共に、前記複数段のスキャンF/F回路の内部で動作が循環している間に該イネーブル信号に基づく内部ストール信号を前記複数段のスキャンF/F回路に供給してこれらの回路のクロックを全て停止させるようにしても良い。

【0017】

さらに上記構成において、前記外部スキャンクロック出力端子、前記クロック出力端子、前記イネーブル出力端子に接続され、前記内部スキャンクロック信号が前記外部クロック出力端子を介して外部に出力されたときのクロックの速度が

速すぎる場合に前記外部スキャン出力端子から出力されるシリアルデータをパラレルデータに変換するシリアル／パラレル変換回路をさらに備えるようにしても良い。

【 0 0 1 8 】

上記構成において、スキャン制御回路は、前記スキャンクロック信号、前記プロセッサ命令、前記ディスエーブル信号に加えて、前記複数段のスキャン F / F 回路の内部での循環動作が一巡した後にプログラムを 1 サイクル進めてさらに循環させるローテイト信号と、前記ローテイト信号が入力されているときにプログラムを 1 サイクル進めた後内部状態を出力させてから停止するステップ信号と、を入力するようにしても良い。

【 0 0 1 9 】

上記幾つかの構成において、少なくとも前記複数段のスキャン F / F 回路と、前記データ選択回路と、前記クロック選択回路と、前記スキャン制御回路とを含む 1 つのグループ論理回路を複数グループ備えるようにしても良い。

【 0 0 2 0 】

【発明の実施の形態】

以下、本発明に係るテスト機能を有する論理回路の実施形態について、添付図面を参照しながら詳細に説明する。まず、本発明の基本構成である第 1 実施形態に係る論理回路について、図 1 を用いて説明する。この第 1 実施形態に係る論理回路は、この回路が備えるスキャン F / F などのテスト機能を用いてプログラムに含まれるプロセッサ命令をデバッグすることを可能にする最も基本的な構成を備えている。プロセッサ命令の一例としては、RISC (Reduced Instruction Set Computer—縮小命令セットコンピューター) 命令が含まれる。

【 0 0 2 1 】

図 1 において、第 1 実施形態に係るテスト機能を有する論理回路 1 は、スキャンクロック信号 C 1 が各段のクロック入力端子 SCK に供給されると共に前段のスキャン出力端子 SOUT からの出力が次段のスキャン入力端子 SIN に供給されて順次に論理演算するように接続された複数段のスキャン F / F 回路 2 1, 2 2, 2 3 と、各段のスキャン F / F 回路 2 1 ~ 2 3 のそれぞれのクロック入力端

子 S C K に供給されるスキャンクロック信号 C 1 を外部から入力するためのスキャンクロック共通入力端子 2 4 と、最終段のスキャン F / F 回路 2 3 のスキャン出力信号 S 2 を帰還させる帰還信号線 2 と、スキャン入力端子 2 5 を介して外部から入力された外部スキャン入力信号 S 1 と帰還信号線 2 を介して最終段のスキャン F / F 回路 2 3 から帰還されたスキャン出力信号 S 2 との何れかを選択すると共に選択された信号 S 3 を初段のスキャン F / F 回路 2 1 のスキャン入力端子 S I N に供給するデータ選択回路 3 と、例えばプロセッサ 6 に格納されたプログラムに予め組み込まれたプロセッサ命令 5 に基づいてデータ選択回路 3 に対して最終段のスキャン F / F 回路 2 3 のスキャン出力信号 S 2 を選択して初段のスキャン F / F 回路 2 1 のスキャン入力端子 S I N に供給させるためのデータ選択用の制御信号 7 を供給して各段のスキャン F / F 回路内 2 1 ~ 2 3 の動作状態を制御するスキャン制御回路 4 と、データ選択回路 3 に帰還される最終段のスキャン F / F 回路 2 3 のスキャン出力信号 S 2 を外部へと取り出す外部スキャン出力端子 2 6 とを基本的に備えている。

【 0 0 2 2 】

以上の構成を備える図 1 に示す第 1 実施形態の論理回路の動作について説明する。スキャン F / F 回路 2 1 ~ 2 3 へは、クロック共通入力端子 2 4 を介してスキャンクロック C 1 が供給されている。このスキャンクロック C 1 は、スキャン制御回路 4 にも供給されており、プロセッサ命令 5 に基づくプログラムのデバッグをスキャン F / F により行なう場合には、スキャンクロック C 1 とプロセッサ命令 5 とにより帰還信号線 2 を介して最終段のスキャン F / F 回路 2 3 より帰還されたスキャン出力信号 S 2 を選択する選択信号 7 がデータ選択回路 3 に出力される。データ選択回路 3 には、従来と同様の外部スキャン入力端子 2 5 を介してスキャン入力信号 S 1 も入力されており、プロセッサ命令 5 がプログラムのデバッグを行なう命令を発していないときには、外部からのスキャン入力 S 1 により通常のスキャン F / F が行なわれている。

【 0 0 2 3 】

以上が第 1 実施形態に係るテスト機能を有する論理回路の構成および動作であるが、プログラムデバッグをプロセッサ命令 5 により内部的に行なうだけでなく

、外部からの命令によって行なったり、スキヤンクロック C 1 を外部からのみ供給するのでなく内部的に生成したりすることも可能である。以下、図 2 を用いて第 2 実施形態に係るテスト機能を有する論理回路について説明する。

【 0 0 2 4 】

図 2 に示す第 2 実施形態の論理回路 1 は、図 1 の構成に加えて、端子 2 4 から入力された外部スキヤンクロック C 1 とスキヤン制御回路 4 より信号線 8 を介して供給された内部スキヤンクロック C 2 との何れかをクロック選択用の制御信号 9 により選択してスキヤンクロック C 3 をスキヤン F / F 回路 2 1 ~ 2 3 に供給するクロック選択回路 1 0 と、クロック選択回路 1 0 により選択されて各段のスキヤン F / F 回路 2 1 ~ 2 3 のそれぞれのクロック端子 S C K に供給されるスキヤンクロック C 3 を外部へ取り出すスキヤンクロック外部出力端子 1 1 とを備えている。

【 0 0 2 5 】

図 2 に示す第 2 実施形態に係る論理回路 1 はさらに、スキヤン F / F を外部から動作させるためのディスエーブル信号 S_D をスキヤン制御回路 4 に入力して外部スキヤン F / F モードを設定するためのディスエーブル信号入力端子 1 2 と、スキヤン制御回路 4 により設定された外部スキヤン F / F モードで複数段のスキヤン F / F 回路 2 1 ~ 2 3 の内部での動作が循環していることを外部に知らせるためのイネーブル信号 S_E を取り出すためのイネーブル出力端子 1 3 とをさらに備えている。また、スキヤン制御回路 4 は、イネーブル信号 S_E をイネーブル出力端子 1 3 より外部へ出力すると共に、複数段のスキヤン F / F 回路 2 1 ~ 2 3 の内部で動作が循環している間に該イネーブル信号 S_E に基づいて内部回路のクロックを全て停止させる内部ストール信号 1 4 を内部回路に供給している。

【 0 0 2 6 】

以上の構成を備える第 2 実施形態に係るテスト機能を有する論理回路の動作について説明する。まず、プロセッサ命令 5 によりスキヤンクロック循環モードとなり最終段のスキヤン F / F 回路 2 3 のスキヤン出力端子 S O U T から出力されたスキヤン出力信号 S 2 が帰還信号線 2 を介してデータ選択回路 3 により選択されてスキヤン信号 S 3 として初段のスキヤン F / F 回路 2 1 のスキヤン入力端子

SINに入力される。スキャンクロックを内部で接続されているF/F回路の数だけ循環させることにより内部F/F回路の内容を循環前と循環後で変更することなく、循環させた全ての内部F/F回路21～23のデータを外部スキャン出力端子26から取り出すことができる。

【0027】

各段のスキャンF/F回路21～23に供給されるスキャンクロックC3は、クロック共通入力端子24を介して入力された外部スキャンクロックC1と、内部で生成されて信号線8を介して供給された内部スキャンクロックC2とをスキャン制御回路4からのクロック選択用の制御信号9の制御により選択される。スキャンF/F回路21～23が内部で循環している間は、イネーブル信号出力端子13からイネーブル信号S_Eを外部に出力することによりスキャンF/F回路21～23が内部で循環中であることを外部に対して知らせておくと共に、イネーブル信号S_Eと同様の内部ストール信号14を内部回路にも供給して内部回路のクロックを全て停止させておくことにより、内部回路の状態が他の状態に遷移しないようにしている。

【0028】

以上のように、従来のスキャンF/F回路と同様に、外部からスキャンF/F回路21～23をスキャン動作させたい場合には、入力端子14からディスエーブル信号S_Dを入力することにより外部スキャンF/Fモードにすることができる。以上のように、第2実施形態に係るテスト機能を備える論理回路によれば、第1実施形態と同様に、論理回路1のスキャン制御回路4に対してプロセッサ命令5が入力されるとクロック選択用の制御信号9がクロック選択回路10に出力されてスキャンクロックC3として内部スキャンクロックC2が選択されることにより内部スキャンF/Fモードが設定される。内部スキャンF/Fモードになると、スキャンF/F回路21～23が循環されて内部スキャンF/Fが行なわれる。この内部スキャンF/Fモードのときに、内部スキャンクロックC2のみを用いてスキャン動作を循環させることにより、プログラムの複数サイクルについてバグをチェックすることができるので、デバッグ回路として適用することができる。

【 0 0 2 9 】

また、入力端子 1 2 よりディスエーブル信号 S_D がスキャン制御回路 4 に入力されると、クロック選択用の制御信号 9 によりクロック選択回路 1 0 が外部スキャンクロック C_1 をスキャンクロック C_3 として選択して、外部スキャン F/F モードを設定する。外部スキャン F/F モードが設定されると、各段のスキャン F/F 回路 2 1 ~ 2 3 に外部スキャンクロック C_1 が供給されて外部スキャン F/F が行なわれる。このとき、イネーブル信号 S_E と同じ内部ストール信号 1 4 により内部回路へ供給されるスキャンクロックを全て停止させている。

【 0 0 3 0 】

なお、上述した第 2 実施形態に係るテスト機能を有する論理回路においては、図 6 に示した従来の論理回路に、データ選択回路 3、スキャン制御回路 4、プロセッサ命令 5、クロック選択回路 1 0、スキャンクロック外部出力端子 1 1、イネーブル信号出力端子 1 3、内部ストール信号 1 4 などが付加された構成となっているが、これ以外にも、種々の構成が提供可能である。例えば、内部生成スキャンクロックを選択して用いる場合には、内部回路におけるスキャン動作においては問題がなくても外部スキャン出力端子 2 6 よりスキャン出力を取り出す際に外部信号としては速すぎる場合には、シリアル/パラレル変換回路を接続することにより、外部スキャン出力端子 2 6 より出力されるシリアルデータをパラレルデータに変換して取り出すことにより高速の内部処理に対応することが可能となる。また、このシリアル/パラレル変換回路は、内部クロック処理が高速である場合だけでなく、論理回路を LSI チップとして構成した際に外部ピンに余裕がある場合にも有効に適用することができる。

【 0 0 3 1 】

図 3 に示す第 3 実施形態に係る論理回路 1 に特有の構成は、シリアル/パラレル変換回路 1 5 がスキャン F/F 回路の出力端子、少なくとも外部スキャン出力端子 2 6 に接続されている点である。この第 3 実施形態に係る論理回路は、外部スキャン出力端子 2 6、クロック外部出力端子 1 1、イネーブル信号出力端子 1 3 に接続されて、内部スキャンクロック信号がクロック外部出力端子 1 1 を介して外部に出力されたときの内部クロックの速度が速すぎる場合に外部スキャン出

力端子 2 6 から出力されるシリアルデータをパラレルデータに変換するシリアル／パラレル変換回路 1 5 をさらに備えるものである。

【 0 0 3 2 】

この第 3 実施形態に係る論理回路 1 のように、少なくとも外部スキャン出力端子 2 6 の出力側にシリアル／パラレル変換回路 1 5 を設けておくことにより、外部に出力されたときに高速すぎるスキャン出力信号をシリアルデータからパラレルデータに変換して適宜取り出すことができ、内部スキャンクロックが速すぎる場合でも所望の速度でスキャン出力を利用することができる。

【 0 0 3 3 】

なお、上記第 1 ないし第 3 実施形態に係る論理回路 1 においては、プロセッサ命令 5 を用いてスキャン制御回路 4 により内部的にデータ選択用の制御信号 7、クロック選択用の制御信号 9 を生成してスキャン F / F 動作の制御を行なうようにしていたが、本発明はこれにも限定されず、プロセッサ命令 5 を用いる代わりに外部から任意の時間に内部スキャンクロックを循環させるように構成することも可能である。

【 0 0 3 4 】

この外部からの制御により任意の時間に内部スキャンを循環させる具体例として、図 4 に示す第 4 実施形態に係るテスト機能を有する論理回路について説明する。図 4 において、図 1 ないし図 3 の論理回路と同一構成要素については同一符号を付して重複説明を省略する。

【 0 0 3 5 】

スキャン制御回路 4 は、内部スキャンクロック信号 C 2、プロセッサ命令 5、端子 1 2 より供給されるディスエーブル信号 S_Dに加えて、外部入力端子 1 6 より入力されて複数段のスキャン F / F 回路 2 1 ~ 2 3 の内部での循環動作が一巡した後にプログラムを 1 サイクル進めてさらに循環させるローテイト (R O T A T E) 信号 1 7 と、外部入力端子 1 8 より入力されてローテイト信号 1 7 が入力されているときにプログラムを 1 サイクル進めた後の内部状態を出力させてから停止するステップ (S T E P) 信号 1 9 と、を入力している。

【 0 0 3 6 】

この第4実施形態に係るテスト機能を有する論理回路は、プロセッサ命令5により内部スキャンを循環させるのではなく、ローテイト信号17により外部から任意の時間に内部スキャンを循環させることができ、これによって内部回路の状態を外部から見る事が可能になる。また、ローテイト信号17を供給し続けることにより、内部スキャンF/Fが1回循環した後プログラムを1サイクル進めてから、再びスキャンF/Fを循環させる動作を繰り返すことができる。このように構成することにより、プログラムのサイクル・ベースのデバッグ機能をスキャンF/Fにより実現することができる。

【0037】

また、ローテイト信号17が供給されている間に、スキャン制御回路4にステップ信号19を供給することにより、プログラムを1サイクルだけ進めて論理回路の内部状態を外部に出力してからその状態で停止するという機能を実現することができる。この種のサイクル・ベースのデバッグ機能は、プロセッサ命令5に基づく内部スキャンクロックによるスキャンF/Fに対して外部スキャンクロックによりスキャンF/Fをプログラムのデバッグに適用することを可能にしているので、プログラムのどの部分にバグが含まれているのかを外部から正確に検出することを可能にしている。

【0038】

上述した実施形態は何れも、図1ないし図4に示すように、複数段のスキャンF/F回路21～23を1つのグループで動作させていたが、本発明はこれに限定されず、図5に示された第5実施形態に係るテスト機能を有する論理回路のように、各グループが複数段のスキャンF/F回路21～23を有する複数の論理回路グループ31～33を備えるように構成しても良い。

【0039】

図5において、第5実施形態に係る論理回路30は、複数の論理回路グループ31～33を備えている。各々の論理回路グループ31～33は、複数段のスキャンF/F回路21～23と、データ選択回路3と、スキャン制御回路4と、クロック選択回路10と、をそれぞれ備えている。スキャンF/Fを行なうグループは、各論理回路グループ31～33内のプロセッサ命令5により選択され、そ

のグループ内でスキャンF/Fを循環させる回数を適宜に変更することにより、より効率の良いデバッグを行なうことができる。また、1つのグループのみをスキャンF/Fするのではなく、任意の1つのグループを選択的に制御したり、複数のグループを順次ないしは交互に制御したりするためにグループ制御回路35が設けられている。

【0040】

グループ制御回路35は、それぞれの論理回路グループ31～33の外部入力端子24、25、12、16、18に対してそれぞれのデータ、クロック、制御についての信号を供給している。個別の論理回路グループ31～33内のスキャン制御は、各グループのスキャン制御回路4により行なわれているので、グループ制御回路35は、グループ間のスキャン制御のために用いられている。

【0041】

外部出力端子11、26、13よりそれぞれ出力されるスキャンクロック出力C3、スキャン出力S2、イネーブル信号S_Eなどは、第3および第4実施形態に係る論理回路と同様に、シリアル/パラレル変換回路15を設けて、スキャン出力信号をシリアルデータからパラレルデータに変換して適宜取り出すことができる。シリアル/パラレル変換回路15は、論理回路グループ31～33毎に設けても良いが、図5に示すように、全てのグループの出力について一括してシリアル/パラレル変換できるように構成しても良い。

【0042】

第5実施形態に係るテスト機能を有する論理回路30を図5に示すように構成したので、グループ制御回路35によって複数のグループのうちから任意の数の幾つかを選択したり、任意の複数のグループを同時並行あるいは順次にスキャンF/Fを実行したりして、プロセッサ命令に基づくデバッグ処理を行なうことが可能である。

【0043】

なお、この第5実施形態に係るテスト機能を有する論理回路においても、第1ないし第4実施形態に係る回路に設けた機能を持たせることによって、ストール

信号 1 4 による内部回路における全てのクロックの停止や、プロセッサ命令 5 に代えてディスエーブル信号 S_D による外部からのスキャン F/F 動作の制御や、ローテイト信号 1 7 によるスキャン F/F の 1 循環後にプログラムを 1 サイクル進めて再循環動作を繰り返すような制御がグループ単位で可能になる。また、ローテイト信号 1 7 と共にステップ信号 1 9 をも用いて 1 サイクル進めて内部状態を読み出し、その段階で停止させるようなサイクルデバッグ機能を論理回路グループ単位で用いることもできる。

【 0 0 4 4 】

なお、説明の便宜上、スキャン F/F 回路も論理回路グループも 3 つを例にして説明したが、スキャン F/F 回路も論理回路グループも数万個から数百万個の規模で設けることができる。このように多数この論理回路を複数段、複数グループに分けて用いる場合に本願発明のプログラムデバッグをスキャン F/F でテストするという特徴を特に有効に利用することが可能となる。

【 0 0 4 5 】

【発明の効果】

以上、詳細に説明したように本発明に係るテスト機能を有する論理回路によれば、LSI の故障検出用のスキャン F/F 機能を実際の論理回路におけるスキャン F/F テストやプログラムのデバッグ機能として用いることにより、論理回路に大幅な変更や回路素子の追加などを行なわなくても、論理回路の内部状態を外部へ出力することができ、簡単な回路構成の追加で論理回路上で動作中のプログラムに含まれるバグ等の不具合を外部から確認することができる。

【 0 0 4 6 】

また、論理回路に搭載されたスキャン F/F 機能は、フリップ/フロップ回路のような論理回路が製品として完成したときに回路上の不具合を検出するための重要な機能ではあるが、製品として出荷された後はほとんど用いられることはなかった。本発明によれば、論理回路が購入されて使用が開始された後にもこのスキャン F/F 機能を用いてプログラムのデバッグを行なうことができるような構成を設けておくことで、実機として動作させる場合にも有効に再利用でき、回路面積を大幅に増加させなくても正確なテスト機能を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態に係るテスト機能を有する論理回路の基本構成を示すブロック図である。

【図 2】

本発明の第 2 実施形態に係る論理回路の構成を示すブロック図である。

【図 3】

本発明の第 3 実施形態に係る論理回路の構成を示すブロック図である。

【図 4】

本発明の第 4 実施形態に係る論理回路の構成を示すブロック図である。

【図 5】

本発明の第 5 実施形態に係る論理回路の構成を示すブロック図である。

【図 6】

従来の論理回路の機能としてのスキャン F / F 回路を示すブロック図である。

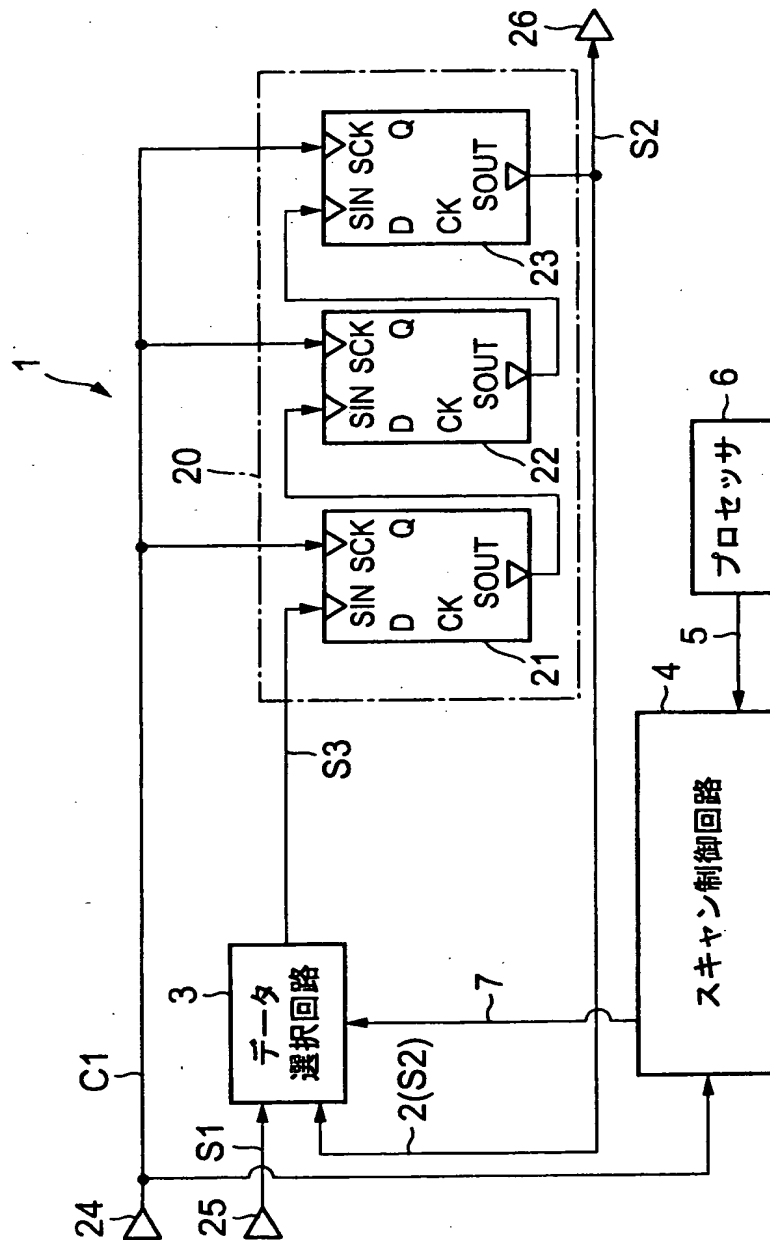
【符号の説明】

- 3 データ選択回路
- 4 スキャン制御回路
- 5 プロセッサ命令
- 6 プロセッサ
- 1 0 スキャンクロック選択回路
- 1 1 スキャンクロック外部出力端子
- S_D ディスエーブル信号
- 1 2 ディスエーブル信号入力端子
- S_E イネーブル信号
- 1 3 イネーブル信号出力端子
- 1 4 内部ストール信号
- 1 8 ローテイト信号
- 1 9 ステップ信号
- 2 1 初段のスキャン F / F 回路

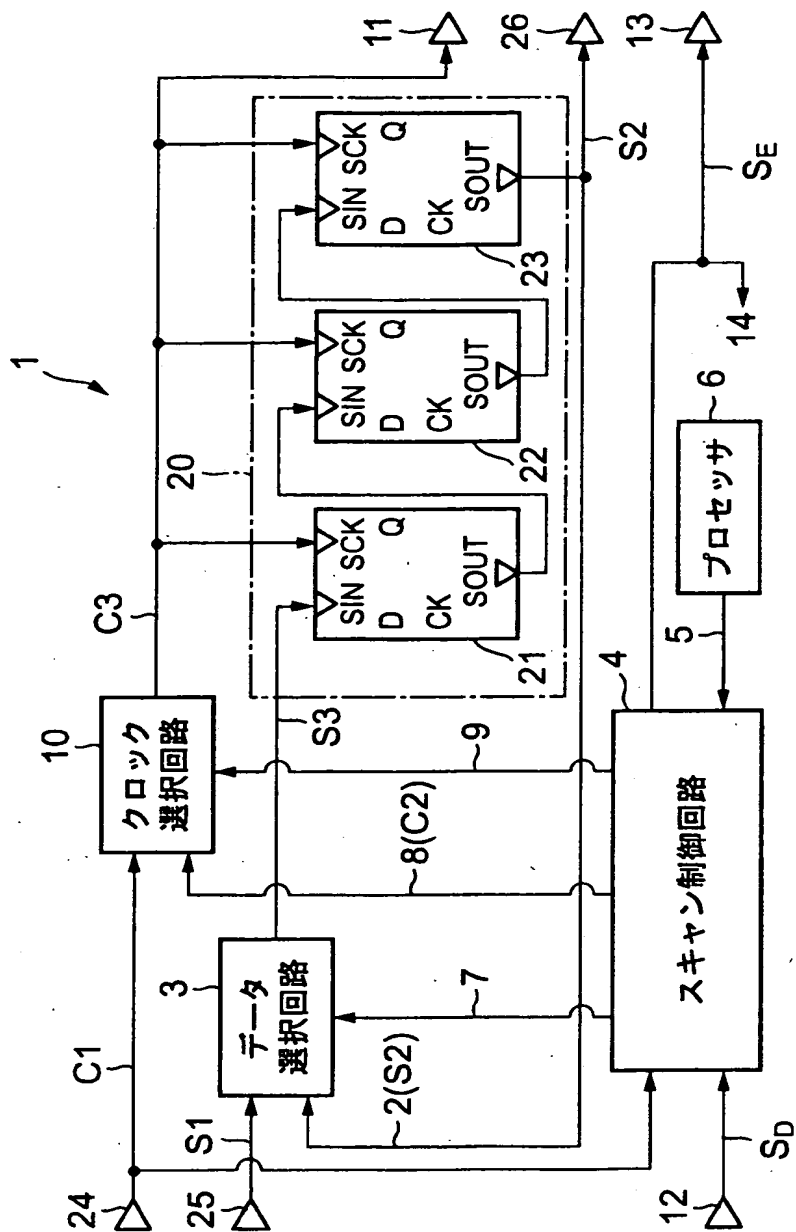
- 2 2 次段のスキアン F / F 回路
- 2 3 最終段のスキアン F / F 回路
- 3 1 第 1 の論理回路グループ
- 3 2 第 2 (中間) の論理回路グループ
- 3 3 第 3 (最終) の論理回路グループ
- 3 5 グループ制御回路

【書類名】 図面

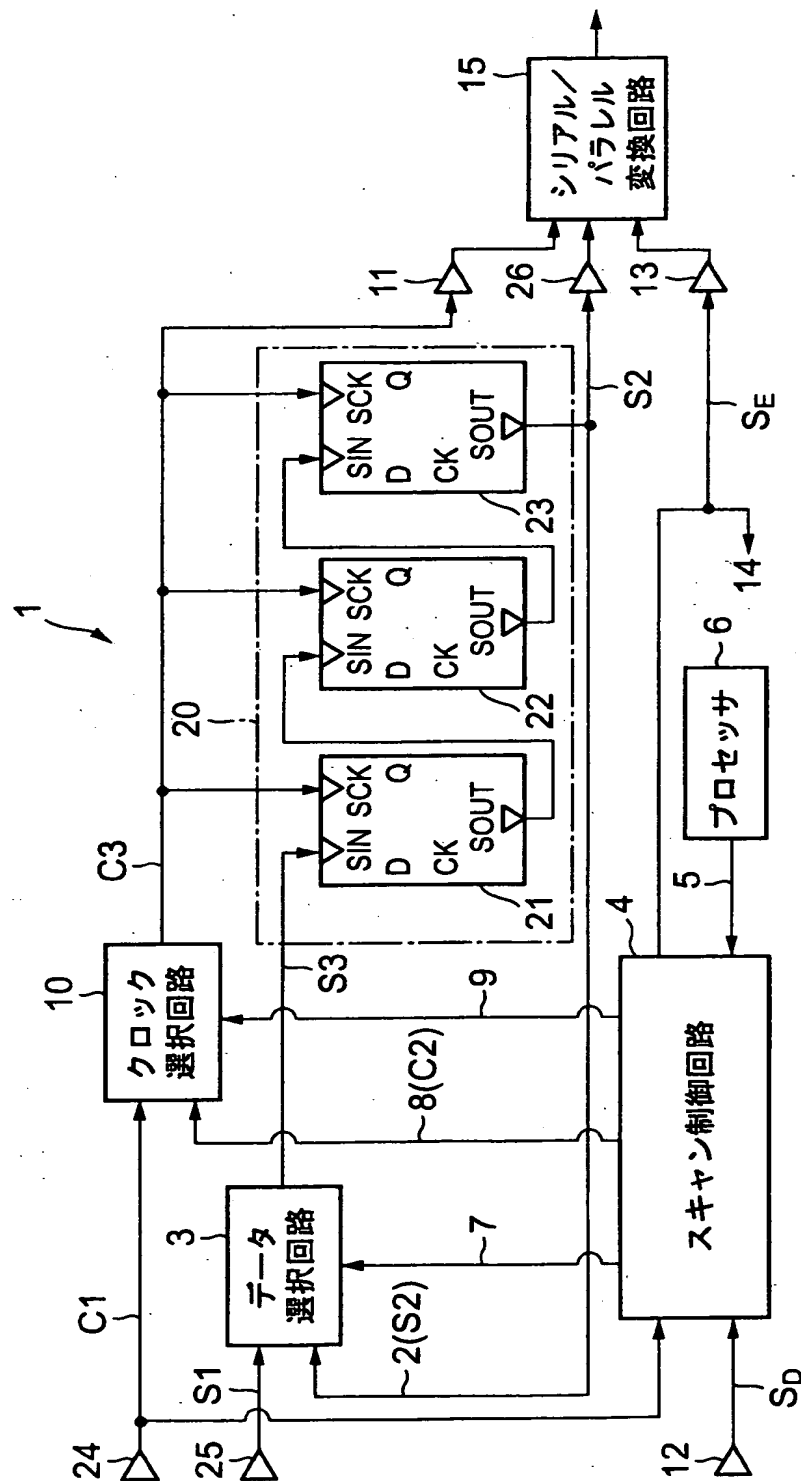
【図1】



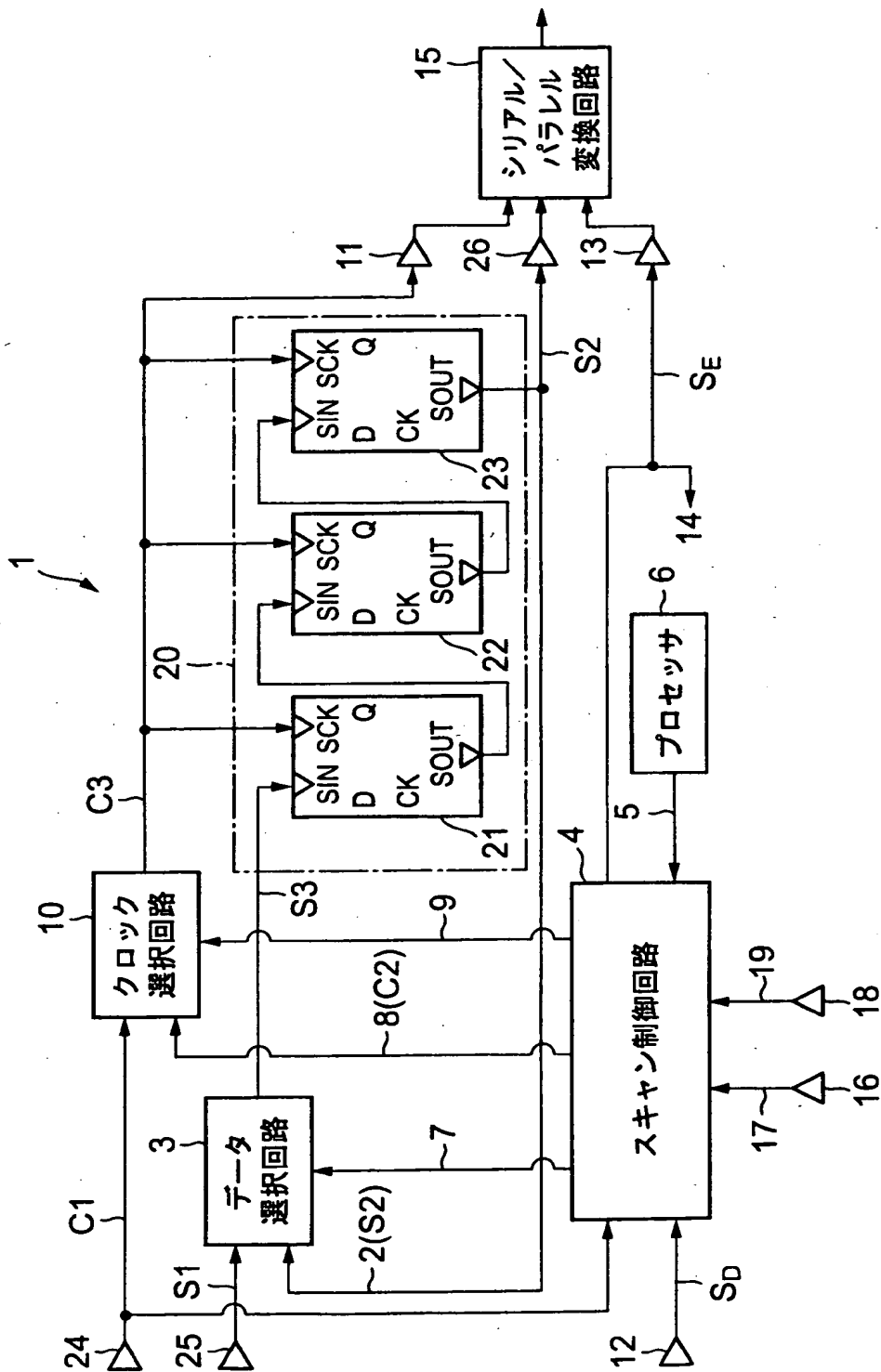
【図 2】



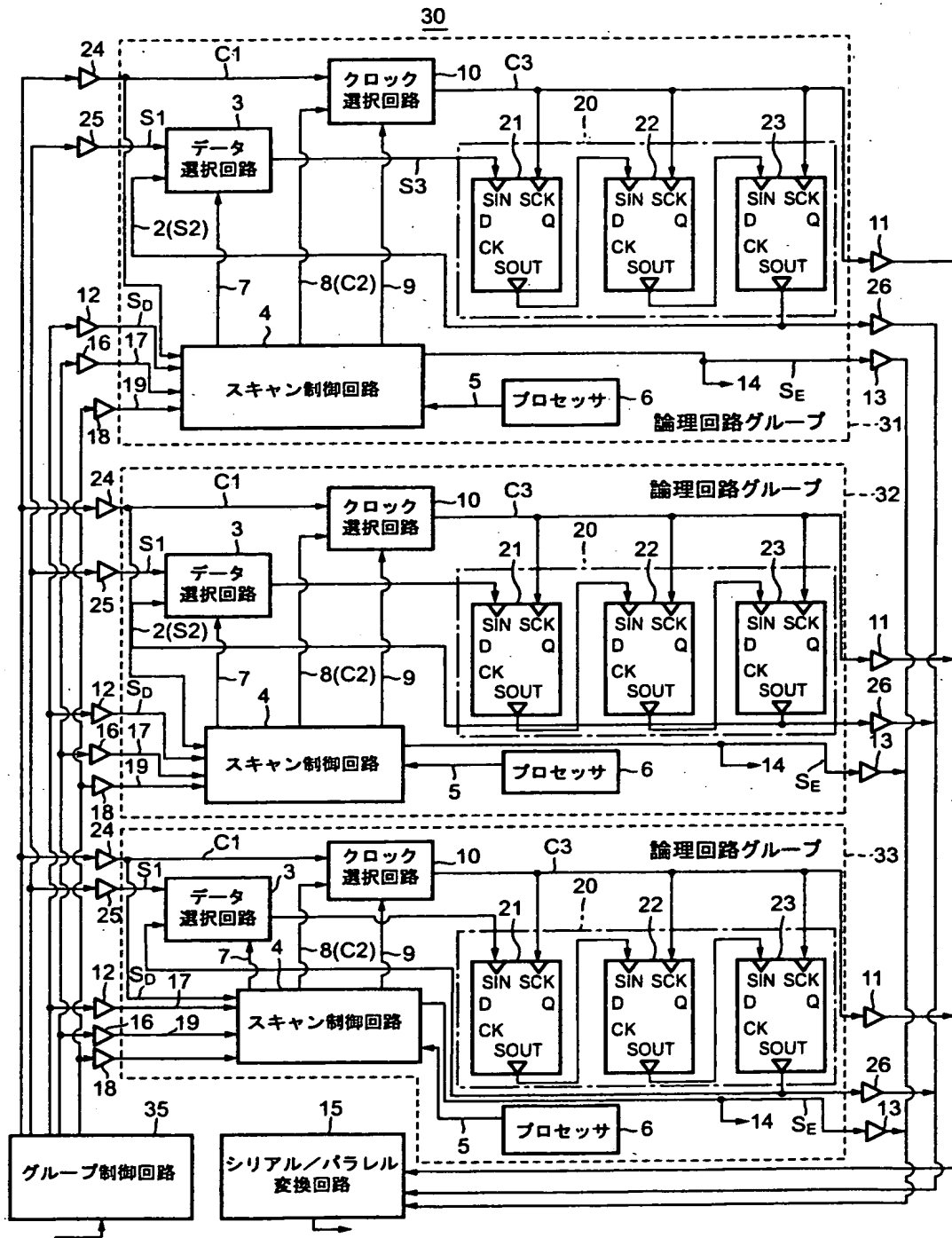
【図 3】



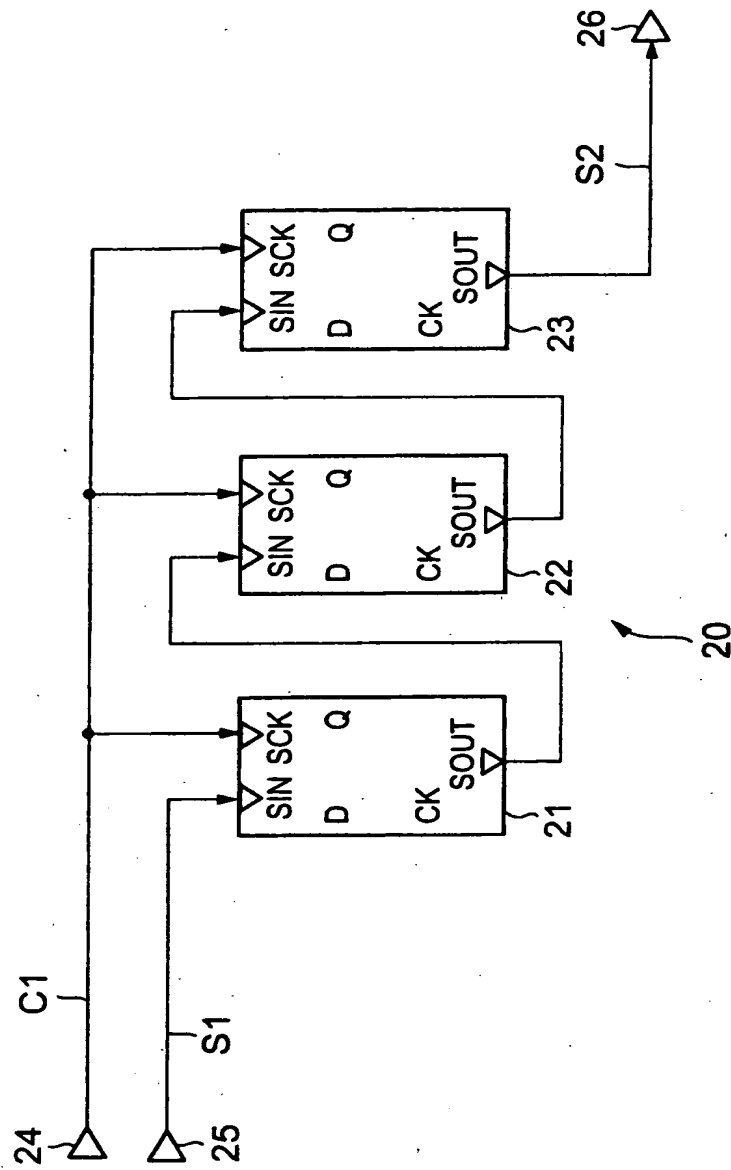
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 簡単な回路構成により論理回路の内部状態を正確に検出することができるテスト機能を有する論理回路を提供する。

【解決手段】 テスト機能を有する論理回路は、スキャンクロック信号が各段のクロック入力端子に供給され、前段のスキャン出力端子からの信号が次段のスキャン入力端子に供給されて順次に論理演算するように接続された複数段のスキャン F / F 回路 2 1 ~ 2 3 と、最終段のスキャン出力端子からの信号を初段のスキャン入力端子に帰還するデータ選択回路 3 と、データ選択回路 3 に対して最終段のスキャン出力端子からの信号を初段のスキャン入力端子に供給させるための制御信号を供給して前記複数段のスキャン F / F 回路内の各段のスキャン F / F 回路の動作状態を制御するスキャン制御回路 4 と、スキャン制御回路に供給される最終段のスキャン出力端子からの信号を外部に取り出すための外部スキャン出力端子 2 6 と、を備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝

出 願 人 履 歴 情 報

識別番号

[000221199]

1. 変更年月日 1990年 8月23日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区駅前本町25番地1

氏 名 東芝マイクロエレクトロニクス株式会社